

Requested Patent: JP5317310A

Title:

RECEIVED WAVE PHASING CIRCUIT AND ULTRASONIC IMAGE PICKUP DEVICE  
USING THE CIRCUIT ;

Abstracted Patent: JP5317310 ;

Publication Date: 1993-12-03 ;

Inventor(s):

KONDO SHINICHI; KANDA HIROSHI; KATAKURA KAGEYOSHI; SHINOMURA  
RYUICHI; MIWA YUICHI ;

Applicant(s): HITACHI MEDICAL CORP ;

Application Number: JP19920156124 19920525 ;

Priority Number(s): JP19920156124 19920525 ;

IPC Classification: A61B8/00; G01N29/22 ;

Equivalents: JP3322694B2, US5457996 ;

ABSTRACT:

PURPOSE: To simultaneously form received wave beams in plural directions to many ultrasonic received wave signals even if a low speed A/D converter is used.

CONSTITUTION: As a digital delay means 4' for arbitrarily delaying a digital signal input from an A/D converter 3 and outputting plural delay signals, a first delay circuit 11 for delaying a digital signal from the A/D converter 3 at intervals of a sampling cycle and an interpolation delaying circuit 12 for delaying output signals input from the first delay circuit 11 at intervals shorter than the cycle of the sampling cycle and outputting plural delay signals are combined. Thus, the sampling period of the A/D converter 3 in the preceding stage of the digital delay means 4 may be late, and even if the low speed A/D converter 3 is used, received wave beams can be simultaneously formed in plural directions.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-317310

(43)公開日 平成5年(1993)12月3日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
A 6 1 B 8/00		7807-4C		
G 0 1 N 29/22	5 0 1	6928-2J		

審査請求 未請求 請求項の数2(全 9 頁)

(21)出願番号 特願平4-156124

(22)出願日 平成4年(1992)5月25日

(71)出願人 000153498

株式会社日立メディコ

東京都千代田区内神田1丁目1番14号

(72)発明者 近 藤 真 一

千葉県柏市新十番2番1号 株式会社日

立メディコ大阪工場柏分工場内

(72)発明者 神 田 浩

千葉県柏市新十番2番1号 株式会社日

立メディコ大阪工場柏分工場内

(72)発明者 片 倉 景 義

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所

(74)代理人 弁理士 西山 春之

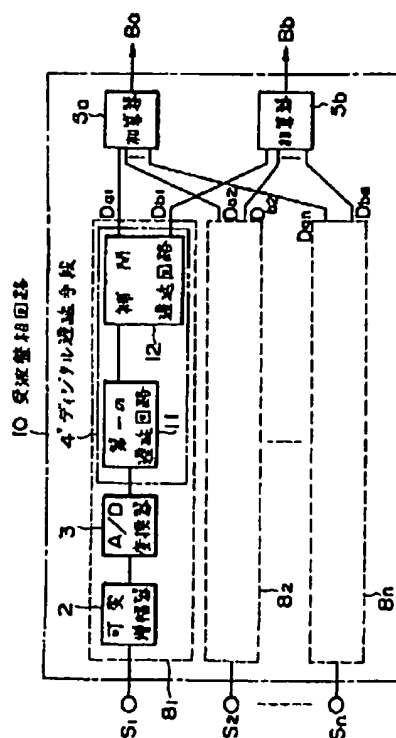
最終頁に続く

(54)【発明の名称】 受波整相回路及びそれを用いた超音波撮像装置

(57)【要約】

【目的】 受波整相回路において、低速のA/D変換器を用いても多数の超音波受波信号に対して複数方向の受波ビームを同時に形成することを可能とする。

【構成】 A/D変換器3からのデジタル信号を入力して任意に遅延し複数個の遅延信号を出力するデジタル遅延手段4'として、上記A/D変換器3からのデジタル信号をサンプリング周期の間隔で遅延する第一の遅延回路11と、この第一の遅延回路11からの出力信号を入力し該出力信号を上記サンプリング周期よりも短い間隔で遅延し複数個の遅延信号を出力する補間遅延回路12とを組み合わせたものである。これにより、上記デジタル遅延手段4'の前段のA/D変換器3のサンプリング周期は遅いものでもよく、低速のA/D変換器3を用いても複数方向の受波ビームを同時に形成することができる。



## 【特許請求の範囲】

【請求項1】 超音波送受波手段の配列振動子素子で受信した受波信号を各チャンネル毎に入力し測定深度に応じて増幅する可変増幅手段と、この可変増幅手段からの出力信号をデジタル信号に変換するA/D変換器と、このA/D変換器からのデジタル信号を入力して任意に遅延し複数個の遅延信号を出力するデジタル遅延手段と、このデジタル遅延手段からの複数個の遅延信号を別々に入力すると共に各チャンネル毎の遅延信号をそれぞれ入力して加算する複数個の加算手段とを有し、この複数個の加算手段で加算した結果により複数方向の受波ビームを同時に形成する受波整相回路において、上記デジタル遅延手段として、上記A/D変換器からのデジタル信号をサンプリング周期の間隔で遅延する第一の遅延手段と、この第一の遅延手段からの出力信号を入力し該出力信号を上記サンプリング周期よりも短い間隔で遅延し複数個の遅延信号を出力する補間遅延手段とを組み合わせたことを特徴とする受波整相回路。

【請求項2】 複数の振動子素子が配列され超音波を送受波する超音波送受波手段と、この超音波送受波手段の振動子素子を駆動し超音波を送波する送波手段と、上記振動子素子で受信した受波信号を増幅する受信増幅器と、この受信増幅器からの出力信号を入力し受波信号の振幅及び位相を制御して複数方向の受波ビームを形成する受波整相回路と、この受波整相回路からの受波ビームを入力して画像信号を作成する画像処理回路と、この画像処理回路からの画像信号を取り込んで画像として表示する画像表示部とを備えて成る超音波撮像装置において、上記受波整相回路として、請求項1記載の受波整相回路を用いたことを特徴とする超音波撮像装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、低速のA/D変換器を用いても多数の超音波受波信号に対して複数方向の受波ビームを同時に形成することができる受波整相回路、及びこの受波整相回路を装置内の受波整相回路として用いた超音波診断装置又は超音波探傷装置あるいは超音波探知機（ソナー）等の超音波撮像装置に関する。

## 【0002】

【従来の技術】 最近の超音波撮像装置においては、高速撮像を行うために、1回の超音波送波及び受波に対して複数方向の受波ビームを同時に形成するようになってきた。従来のこの種の技術としては、例えば特開昭59-49752号公報に記載された超音波診断装置がある。そして、この超音波診断装置における受波整相回路は、図7に示すように、超音波送受波手段の配列振動子素子で受信した受波信号 $S_1, S_2, \dots, S_n$ を各チャンネル毎に入力し測定深度に応じて増幅する可変増幅器2と、この可変増幅器2からの出力信号をデジタル信号に変換するA/D変換器3と、このA/D変換器3からのデジタル

信号を入力して任意に遅延し複数個の遅延信号 $Da_1, Db_1$ を出力するデジタル遅延手段4と、このデジタル遅延手段4からの複数個の遅延信号 $Da_1, Db_1$ を別々に入力すると共に各チャンネル毎の遅延信号をそれぞれ入力して加算する複数個の加算器5a, 5bとを有し、この複数個の加算器5a, 5bで加算した結果により複数方向の受波ビーム $Ba, Bb$ を同時に形成するようになっていた。なお、上記デジタル遅延手段4は、シフトレジスタ6と、並列に設けられた複数個のマルチプレクサ7a, 7bとから成っていた。また、上記可変増幅器2と、A/D変換器3と、デジタル遅延手段4とから成る信号遅延ブロックは、上記受波信号 $S_1 \sim S_n$ の各チャンネルに対応して、それぞれのチャンネル毎に $8_1, 8_2, \dots, 8_n$ のように設けられている。

【0003】このような状態で、受波ビーム $Ba, Bb$ の形成に必要な遅延量子化単位を例えば10nsとすると、上記A/D変換器3は例えば100MHzで受波信号 $S_1 \sim S_n$ をサンプリングし、その出力をデジタル遅延手段4内のシフトレジスタ6へ送る。このシフトレジスタ6の各タップ出力は、その後段の複数個のマルチプレクサ7a, 7bに入力し、複数方向の超音波ビームに対応する遅延タップが選択され、遅延信号 $Da_1, Db_1$ としてそれぞれ出力され、複数個の加算器5a, 5bに入力してそれぞれ加算することにより、複数方向の受波ビーム $Ba, Bb$ が形成されていた。

## 【0004】

【発明が解決しようとする課題】 しかし、このような従来の受波整相回路1においては、デジタル遅延手段4の遅延量子化単位（例えば10ns）にA/D変換器3のサンプリング周期を一致させる必要があるため、上記A/D変換器3としては、サンプリング周期が例えば100MHzの高速のものを使用しなければならなかった。そして、これに合わせて、高速のシフトレジスタ6及び高速のマルチプレクサ7a, 7b並びに高速の加算器5a, 5bが必要となるものであった。従って、受波整相回路1の全体として、高速タイプのものとなり、コストが上昇すると共に消費電力も大きくなるものであった。

【0005】そこで、本発明は、このような問題点に対処し、低速のA/D変換器を用いても多数の超音波受波信号に対して複数方向の受波ビームを同時に形成することができる受波整相回路及びそれを用いた超音波撮像装置を提供することを目的とする。

## 【0006】

【課題を解決するための手段】 上記目的を達成するために、本発明による受波整相回路は、超音波送受波手段の配列振動子素子で受信した受波信号を各チャンネル毎に入力し測定深度に応じて増幅する可変増幅手段と、この可変増幅手段からの出力信号をデジタル信号に変換するA/D変換器と、このA/D変換器からのデジタル信号を入力して任意に遅延し複数個の遅延信号を出力す

るデジタル遅延手段と、このデジタル遅延手段からの複数個の遅延信号を別々に入力すると共に各チャンネル毎の遅延信号をそれぞれ入力して加算する複数個の加算手段とを有し、この複数個の加算手段で加算した結果により複数方向の受波ビームを同時に形成する受波整相回路において、上記デジタル遅延手段として、上記A/D変換器からのデジタル信号をサンプリング周期の間隔で遅延する第一の遅延手段と、この第一の遅延手段からの出力信号を入力し該出力信号を上記サンプリング周期よりも短い間隔で遅延し複数個の遅延信号を出力する補間遅延手段とを組み合わせたものである。

【0007】また、上記受波整相回路の関連発明としての超音波撮像装置は、複数の振動子素子が配列され超音波を送受波する超音波送受波手段と、この超音波送受波手段の振動子素子を駆動し超音波を送波する送波手段と、上記振動子素子で受信した受波信号を増幅する受信増幅器と、この受信増幅器からの出力信号を入力し受波信号の振幅及び位相を制御して複数方向の受波ビームを形成する受波整相回路と、この受波整相回路からの受波ビームを入力して画像信号を作成する画像処理回路と、この画像処理回路からの画像信号を取り込んで画像として表示する画像表示部とを備えて成る超音波撮像装置において、上記受波整相回路として、上記の手段で提供される受波整相回路を用いたものである。

【0008】

【作用】上記のように構成された受波整相回路は、デジタル遅延手段内に設けられた第一の遅延手段によりA/D変換器からのデジタル信号をサンプリング周期の間隔で遅延すると共に、補間遅延手段で上記第一の遅延手段からの出力信号を入力し該出力信号を上記サンプリング周期よりも短い間隔で遅延して複数個の遅延信号を出力するように動作する。これにより、上記デジタル遅延手段の出力側に設けられた補間遅延手段における遅延量子化単位を、最終的に超音波ビームの形成に必要な量（例えば10ns）とすればよいので、その前段における第一の遅延手段ではそれよりも長い単位の遅延（例えば40ns）を行えばよい。従って、この第一の遅延手段の遅延単位に合わせて、その前段のA/D変換器のサンプリング周期も遅いものでよい。このことから、低速のA/D変換器及び低速の第一の遅延手段により受波整相回路を構成することができる。

【0009】また、上記のように構成された超音波撮像装置は、その受波整相回路として、低速のA/D変換器及び低速のデジタル遅延手段で構成されたものを用いることにより、低価格で消費電力の少ない超音波撮像装置を実現することができる。

【0010】

【実施例】以下、本発明の実施例を添付図面に基づいて詳細に説明する。図1は本発明による受波整相回路10の実施例を示すブロック図である。この受波整相回路10

0は、1回の超音波送波及び受波に対して複数方向の受波ビームを同時に形成するもので、図に示すように、受波信号 $S_1, S_2, \dots, S_n$ の各チャンネル毎に設けられた可変増幅器2と、A/D変換器3と、デジタル遅延手段4'と、例えば2個の加算器5a, 5bとを有して成る。

【0011】上記可変増幅器2は、図示外の探触子などの超音波送受波手段の配列振動子素子で受信した受波信号 $S_1 \sim S_n$ を1～nの各チャンネル毎に入力し、測定深度に応じて増幅する可変増幅手段となるもので、例えばタイムゲインコントロール・アンプから成る。A/D変換器3は、上記可変増幅器2から出力された信号を入力してデジタル信号に変換するもので、例えば各チャンネルの受波信号 $S_1 \sim S_n$ の信号帯域の2倍以上でサンプリングするようになっている。そして、デジタル遅延手段4'は、上記A/D変換器3から出力されたデジタル信号を入力して任意に遅延し、複数個例えば2個の遅延信号 $Da_1, Db_1$ を出力するものである。

【0012】また、2個の加算器5a, 5bは、上記デジタル遅延手段4'から出力される2個の遅延信号 $Da_1, Db_1$ を別々に入力すると共に、2～nの各チャンネル毎の遅延信号 $Da_2, Db_2; \dots; Da_n, Db_n$ をそれぞれの系列で入力して加算するもので、それぞれの加算器5a, 5bの加算結果として例えば2方向の受波ビーム $Ba, Bb$ が同時に形成されるようになっている。なお、上記可変増幅器2と、A/D変換器3と、デジタル遅延手段4'とから成る信号遅延ブロックは、上記受波信号 $S_1 \sim S_n$ の各チャンネルに対応して、それぞれのチャンネル毎に $8_1, 8_2, \dots, 8_n$ のように設けられている。

【0013】ここで、本発明においては、上記デジタル遅延手段4'は、上記A/D変換器3からのデジタル信号をサンプリング周期の間隔で遅延する第一の遅延回路11と、この第一の遅延回路11からの出力信号を入力し該出力信号をサンプリング周期よりも短い間隔で遅延し複数個の遅延信号 $Da_1, Db_1$ を出力する補間遅延回路12とを組み合わせる。上記第一の遅延回路11は、例えばシフトレジスタ又はRAMなどから成り、信号収集のサンプリング周期Tの単位で遅延を行う手段となるもので、A/D変換器3から入力する受波信号の書込みと読出しの間の時間差によって上記遅延を実現するようになっている。また、上記補間遅延回路12は、上記第一の遅延回路11によりやや長い単位の遅延時間で第一段階の遅延が行われた出力信号を入力し、この出力信号についてサンプリング周期Tよりも短い間隔で遅延して複数個の遅延信号 $Da_1, Db_1$ を得る手段となるもので、最終的に例えば2方向の受波ビーム $Ba, Bb$ の形成に必要な遅延量子化単位で第二段階の遅延を行うようになっている。

【0014】そして、上記補間遅延回路12の内部の回

路構成は、例えば図2に示すように、第一の遅延回路11から出力されて入力した信号についてサンプリング周期Tの単位でシフトするm段のシフトレジスタ13<sub>1</sub>, 13<sub>2</sub>, ..., 13<sub>m</sub>と、上記サンプリング周期T以下の補間遅延を行うための係数A<sub>0</sub>, A<sub>1</sub>, ..., A<sub>m</sub>; B<sub>0</sub>, B<sub>1</sub>, ..., B<sub>m</sub>を記憶した係数メモリ14と、上記m段のシフトレジスタ13<sub>1</sub>~13<sub>m</sub>の出力に対し2方向の受波ビームに対応して上記係数メモリ14から読み出した係数A<sub>0</sub>~A<sub>m</sub>, B<sub>0</sub>~B<sub>m</sub>を掛ける複数のデジタル掛算器15a<sub>0</sub>, 15b<sub>0</sub>, ..., 15a<sub>m</sub>, 15b<sub>m</sub>と、これらの

デジタル掛算器15a<sub>0</sub>~15a<sub>m</sub>, 15b<sub>0</sub>~15b<sub>m</sub>の系列ごとにその乗算結果をそれぞれ加算する加算器16a, 16bと、この一方の加算器16bからの出力信号に対してサンプリング周期Tの単位の遅延時間差を加える他のシフトレジスタ17とから成る。

【0015】次に、このように構成された受波整相回路10の動作について説明する。まず、図示外の超音波送受波手段の配列振動子素子で受信した受波信号S<sub>1</sub>~S<sub>n</sub>は、各チャンネル毎に信号遅延ブロック8<sub>1</sub>, 8<sub>2</sub>, ..., 8<sub>n</sub>の可変増幅器2へ入力する。以下、図1において第1チャンネルの信号について説明する。次に、上記受波信号S<sub>1</sub>は、その測定深度に応じて可変増幅器2で増幅された後、A/D変換器3へ入力される。このA/D変換器3では、そのA/D変換速度を受波信号の信号帯域の2倍まで下げて例えば25MHzでサンプリングした後、次のデジタル遅延手段4'の第一の遅延回路11にデジタル化した受波信号を送出する。この第一の遅延回路11では、上記A/D変換器3のサンプリング周期T(25MHz)に合わせてそれと同等の遅延単位である例えば40nsで遅延を行う。

【0016】次に、上記第一の遅延回路11からの出力信号は、図2において、補間遅延回路12のm段のシフトレジスタ13<sub>1</sub>~13<sub>m</sub>に順次入力され、サンプリング周期T単位でシフトされる。このとき、各シフト段13<sub>1</sub>, 13<sub>2</sub>, ..., 13<sub>m</sub>の出力は、最終的な複数方向(例えば2方向)の受波ビームBa, Bbに対応した2個ずつの掛算器15a<sub>0</sub>~15a<sub>m</sub>, 15b<sub>0</sub>~15b<sub>m</sub>にそれぞれ入力され、サンプリング周期25MHzより小さい補間遅延を行うために係数メモリ14から読み出した係数A<sub>0</sub>~A<sub>m</sub>, B<sub>0</sub>~B<sub>m</sub>をそれぞれ掛け算する。そして、それらの乗算結果を2方向の受波ビームに対応した加算器16a, 16bでそれぞれ加算することにより、必要な遅延量子化単位(例えば10ns)とされた補間遅延データが出力される。ここで、上記係数メモリ14に格納された補間遅延係数としては、サンプリング定理で公知のSINC関数を用いればよい。このようにして、補間遅延回路12から2方向の受波ビームに対応した遅延信号Da<sub>1</sub>, Db<sub>1</sub>が出力される。なお、上記二つの遅延信号Da<sub>1</sub>, Db<sub>1</sub>の遅延時間差がサンプリング周期Tを超える場合は、一方の加算器16bの後段に設けられた他のシフ

トレジスタ17によって、サンプリング周期T単位の遅延時間差を加えることにより、上記二つの遅延信号Da<sub>1</sub>, Db<sub>1</sub>を同時に得ることができる。

【0017】その後、上記出力された二つの遅延信号Da<sub>1</sub>, Db<sub>1</sub>は、図1において二つの加算器5a, 5bにそれぞれ入力する。以上の動作と全く同様にして、2~nの各チャンネル毎の遅延信号Da<sub>2</sub>, Db<sub>2</sub>; ..., Da<sub>n</sub>, Db<sub>n</sub>が順次出力されて、上記二つの加算器5a, 5bにそれぞれの系列で入力する。そして、各々の加算器5a, 5bは、各系列の遅延信号Da<sub>1</sub>, Da<sub>2</sub>, ..., Da<sub>n</sub>; Db<sub>1</sub>, Db<sub>2</sub>, ..., Db<sub>n</sub>をそれぞれ加算し、これらの加算結果として2方向の受波ビームBa, Bbが同時に形成される。

【0018】図3は、前記補間遅延回路12内に設けられたシフトレジスタ13<sub>1</sub>~13<sub>m</sub>の段数による最終的な受波ビームBa, Bbのパターンについてシミュレーションした結果の一例を示すグラフである。図3の各図において、破線のカーブは、上記シフトレジスタ13<sub>1</sub>~13<sub>m</sub>の段数が無限大の場合で理想的なビームパターンを示し、実線のカーブは、ある段数のシフトレジスタ13<sub>1</sub>~13<sub>m</sub>によって補間遅延した場合のビームパターンを示している。そして、図3(a)の実線はシフトレジスタが1段(m=1)の場合の例であり、図2においてシフトレジスタ13<sub>1</sub>で受波信号の2サンプルからの補間遅延によって得たビームパターンP<sub>1</sub>を示しており、破線で示す理想的なビームパターンPに比べてS/N比の劣化が大きいことがわかる。また、図3(b)の実線はシフトレジスタが3段(m=3)の場合の例であり、図2においてシフトレジスタ13<sub>1</sub>, 13<sub>2</sub>, 13<sub>3</sub>で受波信号の4サンプルからの補間遅延によって得たビームパターンP<sub>3</sub>を示しており、理想的なビームパターンPにかなり近づいてS/N比が改善されていることがわかる。さらに、図3(c)の実線はシフトレジスタが5段(m=5)の場合の例であり、図2においてシフトレジスタ13<sub>1</sub>, 13<sub>2</sub>, ..., 13<sub>5</sub>で受波信号の6サンプルからの補間遅延によって得たビームパターンP<sub>5</sub>を示しており、理想的なビームパターンPにほとんど一致した状態となりS/N比が向上していることがわかる。従って、このシミュレーションの結果から、図2に示す補間遅延回路12内のシフトレジスタ13<sub>1</sub>~13<sub>m</sub>の段数は、3段以上は必要であり、回路規模の制約上から3~7段ぐらいが適当と思われる。

【0019】図4は本発明による受波整相回路の他の実施例を示すブロック図である。この実施例は、受波信号S<sub>1</sub>~S<sub>n</sub>の各チャンネル毎に設けられた信号遅延ブロック8<sub>1</sub>, ..., 8<sub>n</sub>において、第一の遅延回路11の後段に図7に示すと同様のマルチプレクサ7a, 7bを並列に設けると共に、一方のマルチプレクサ7bの入力側には図2に示すと同様のシフトレジスタ17を設けたものである。また、上記各信号遅延ブロック8<sub>1</sub>~8<sub>n</sub>の

後段には、2方向の受波ビームBa、Bbの系列に対応して第一の加算器18a<sub>1</sub>~18a<sub>i</sub>及び18b<sub>1</sub>~18b<sub>i</sub>が設けられると共に、これらの後段に各受波ビームBa、Bbに対応する補間遅延回路12a<sub>2</sub>~12a<sub>i</sub>及び12b<sub>2</sub>~12b<sub>i</sub>が設けられており、これらの2系列の補間遅延回路12a<sub>2</sub>~12a<sub>i</sub>及び12b<sub>2</sub>~12b<sub>i</sub>から図1に示すと同様の2個の加算器5a、5bに出力信号が送出されるようになっている。

【0020】なお、上記補間遅延回路12a<sub>2</sub>~12a<sub>i</sub>及び12b<sub>2</sub>~12b<sub>i</sub>の内部構成は、例えば図5に示すように、第一の加算器18a<sub>2</sub>から出力されて入力した信号についてサンプリング周期Tより短い単位でシフトするm段のシフトレジスタ13<sub>1</sub>~13<sub>m</sub>と、上記サンプリング周期T以下の補間遅延を行うための係数C<sub>0</sub>、C<sub>1</sub>、…、C<sub>m</sub>を記憶した係数メモリ14'と、上記m段のシフトレジスタ13<sub>1</sub>~13<sub>m</sub>の出力に対し当該系列の受波ビームに対応して上記係数メモリ14'から読み出した係数C<sub>0</sub>~C<sub>m</sub>を掛ける複数のデジタル掛算器15<sub>0</sub>~15<sub>m</sub>と、その乗算結果を入力して加算する加算器16とから成る。

【0021】このように構成された受波整相回路10'においては、第一の遅延回路11の出力を、受波信号のサンプリング周期Tより短い間隔で遅延するのに対応して出力選択するために、マルチプレクサ7a、7bに投入させて切り換える。この選択切り換えられたマルチプレクサ7a、7bの出力は、それぞれ第一の加算器18a<sub>1</sub>~18a<sub>i</sub>及び18b<sub>1</sub>~18b<sub>i</sub>に投入し、これらによって複数方向の受波ビームについて短い遅延単位ごとに加算される。例えば、補間遅延回路12a<sub>2</sub>~12a<sub>i</sub>、12b<sub>2</sub>~12b<sub>i</sub>における遅延量子化単位を10nsとし、第一の加算器18a<sub>1</sub>、18b<sub>1</sub>が4個ずつあるとすると、1番目の加算器18a<sub>1</sub>、18b<sub>1</sub>は遅延が0nsである受信チャンネルを、2番目の加算器18a<sub>2</sub>、18b<sub>2</sub>は遅延が10nsである受信チャンネルを、…、4番目の加算器18a<sub>4</sub>、18b<sub>4</sub>は遅延が30nsである受信チャンネルをそれぞれ加算する。このとき、前記マルチプレクサ7a、7bでは、第一の遅延回路11から入力する信号を4個に分割することとなる。従って、上記第一の遅延回路11から入力する信号は、10ns×4=40nsの遅延単位の信号でよいこととなる。このことから、その前段のA/D変換器3のサンプリング周期は例えば25MHzと遅いものでよい。

【0022】上記第一の加算器18a<sub>1</sub>~18a<sub>i</sub>及び18b<sub>1</sub>~18b<sub>i</sub>で加算された出力信号は、各系列の補間遅延回路12a<sub>2</sub>~12a<sub>i</sub>、12b<sub>2</sub>~12b<sub>i</sub>に投入して遅延量子化単位の10nsで遅延が行われる。その後、二つの加算器5a、5bにそれぞれの系列ごとに投入して整相加算され、これらの加算結果として2方向の受波ビームBa、Bbが同時に形成される。この場合は、一般に、受波信号S<sub>1</sub>~S<sub>n</sub>のチャンネル数nに対して、サ

ンプリング周期T以下の遅延量子化の数iが小さいことから、図4に示すように、補間遅延回路12a<sub>i</sub>、12b<sub>i</sub>の個数を減少させることができる。さらに、図5から明らかなように、その内部のデジタル掛算器15<sub>0</sub>~15<sub>m</sub>の数を図2の場合に比べて減少させることができる。

【0023】なお、図1及び図4の実施例においては、受波ビームを2方向(Ba、Bb)だけ形成するものとして説明したが、本発明はこれに限らず、3方向以上の複数の受波ビームを形成する場合にも同様に適用できる。

【0024】図6は図1に示す受波整相回路10の関連発明としての超音波撮像装置の実施例を示すブロック図である。この超音波撮像装置は、例えば超音波を利用して被検体の診断部位について断層像を構成し表示する超音波診断装置であり、例えば電子走査型とされており、短冊状に形成された複数の振動子素子が配列され超音波を送受波する探触子などの超音波送受波手段20と、この超音波送受波手段20の各振動子素子のうち一群の振動子素子のみを順次選択して切り換え口径移動させるスイッチ群21と、上記超音波送受波手段20の振動子素子を駆動し超音波を送波する送波手段22と、上記振動子素子で受信した受波信号を増幅する受信増幅器23と、この受信増幅器23からの出力信号を入力し受波信号の振幅及び位相を制御して複数方向の受波ビームを形成する受波整相回路24と、この受波整相回路24からの受波ビームを入力して画像信号を作成する画像処理回路25と、この画像処理回路25からの画像信号を取り込んで画像として表示する画像表示部26とを備えて成る。なお、図6において、符号27は上記の各構成要素の動作を制御するCPU(中央処理装置)などの制御回路を示している。

【0025】ここで、本発明においては、上記受波整相回路24として、図1に示す受波整相回路10又は図4に示す受波整相回路10'が用いられている。これにより、低速のA/D変換器及び低速のデジタル遅延手段で構成された受波整相回路10又は10'を適用することによって、低価格で消費電力の少ない超音波診断装置を実現することができる。なお、図6は医療用の超音波診断装置を一例として示したが、これに限らず、超音波探傷装置あるいは超音波探知機(ソナー)等の他の超音波撮像装置にも適用できる。

【0026】

【発明の効果】本発明による受波整相回路(図1参照)は以上のように構成されたので、デジタル遅延手段内に設けられた第一の遅延手段によりA/D変換器からのデジタル信号をサンプリング周期の間隔で遅延すると共に、補間遅延手段で上記第一の遅延手段からの出力信号を入力し該出力信号を上記サンプリング周期よりも短い間隔で遅延して複数の遅延信号を出力することができる。これにより、上記デジタル遅延手段の出力側に

設けられた補間遅延手段における遅延量子化単位を、最終的に超音波ビームの形成に必要な量（例えば10ns）とすればよいので、その前段における第一の遅延手段ではそれよりも長い単位の遅延（例えば40ns）を行えばよい。従って、この第一の遅延手段の遅延単位に合わせて、その前段のA/D変換器のサンプリング周期も遅いものとすることができる。このことから、低速のA/D変換器及び低速の第一の遅延手段により受波整相回路を構成することができ、コスト低下及び低消費電力化を図ることができる。

【0027】また、本発明による超音波撮像装置（図6参照）は以上のように構成されたので、その受波整相回路として、低速のA/D変換器及び低速のデジタル遅延手段で構成されたものを用いることにより、低価格で消費電力の少ない超音波撮像装置を実現することができる。

【図面の簡単な説明】

【図1】 本発明による受波整相回路の実施例を示すブロック図、

【図2】 図1に示す補間遅延回路の内部構成例を示すブロック図、

【図3】 上記補間遅延回路内に設けられたシフトレジスタの段数による最終的な受波ビームのパターンについてシミュレーションした結果の一例を示すグラフ、

【図4】 本発明による受波整相回路の他の実施例を示すブロック図、

【図5】 図4に示す補間遅延回路の内部構成例を示すブロック図、

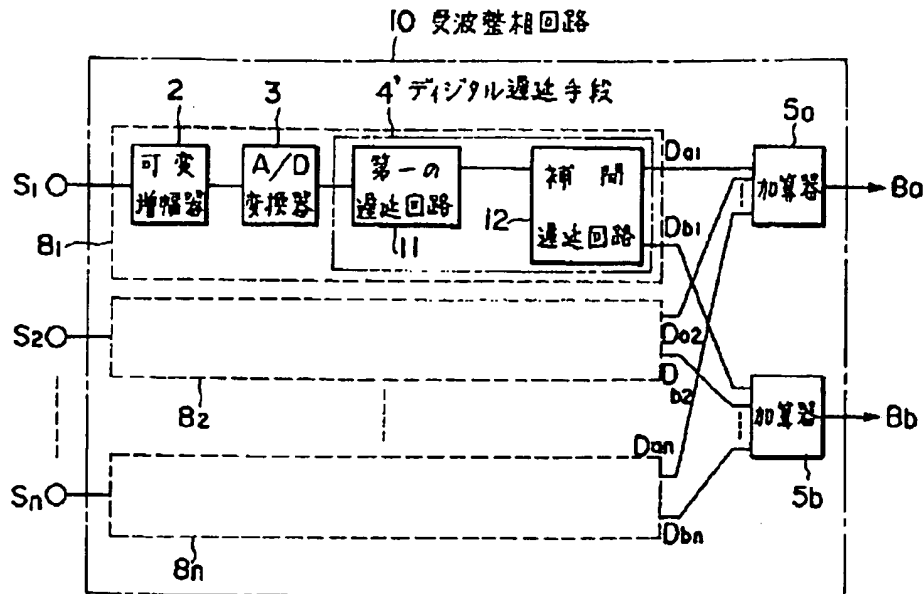
【図6】 図1に示す受波整相回路の関連発明としての超音波撮像装置の実施例を示すブロック図、

10 【図7】 従来の受波整相回路を示すブロック図。

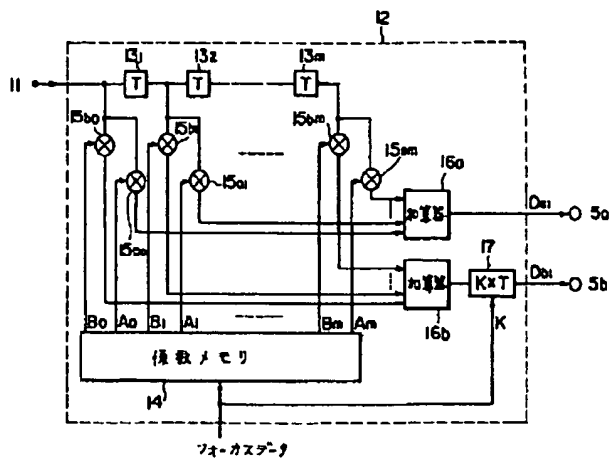
【符号の説明】

2…可変増幅器、 3…A/D変換器、 4'…デジタル遅延手段、 5a, 5b…加算器、 8<sub>1</sub>~8<sub>n</sub>…信号遅延ブロック、 10, 10'…受波整相回路、 11…第一の遅延回路、 12…補間遅延回路、 20…超音波送受波手段、 21…スイッチ群、 22…送波手段、 23…受信増幅器、 24…受波整相回路、 25…画像処理回路、 26…画像表示部、 S<sub>1</sub>~S<sub>n</sub>…受波信号、 Da<sub>1</sub>~Da<sub>n</sub>, Db<sub>1</sub>~Db<sub>n</sub>…遅延信号、 Ba, Bb…受波ビーム。

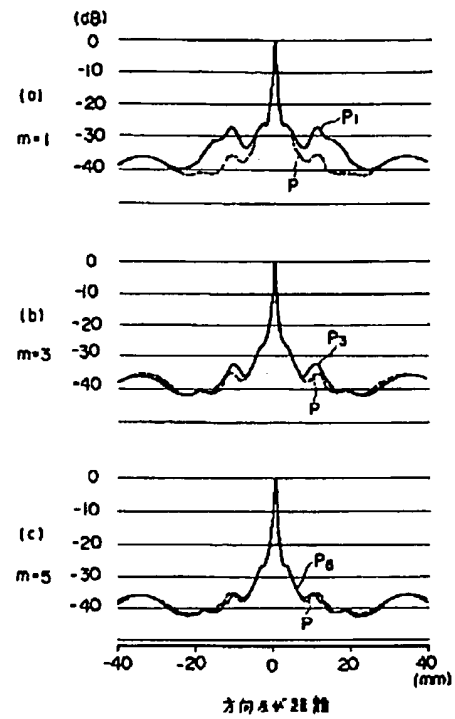
【図1】



【図2】

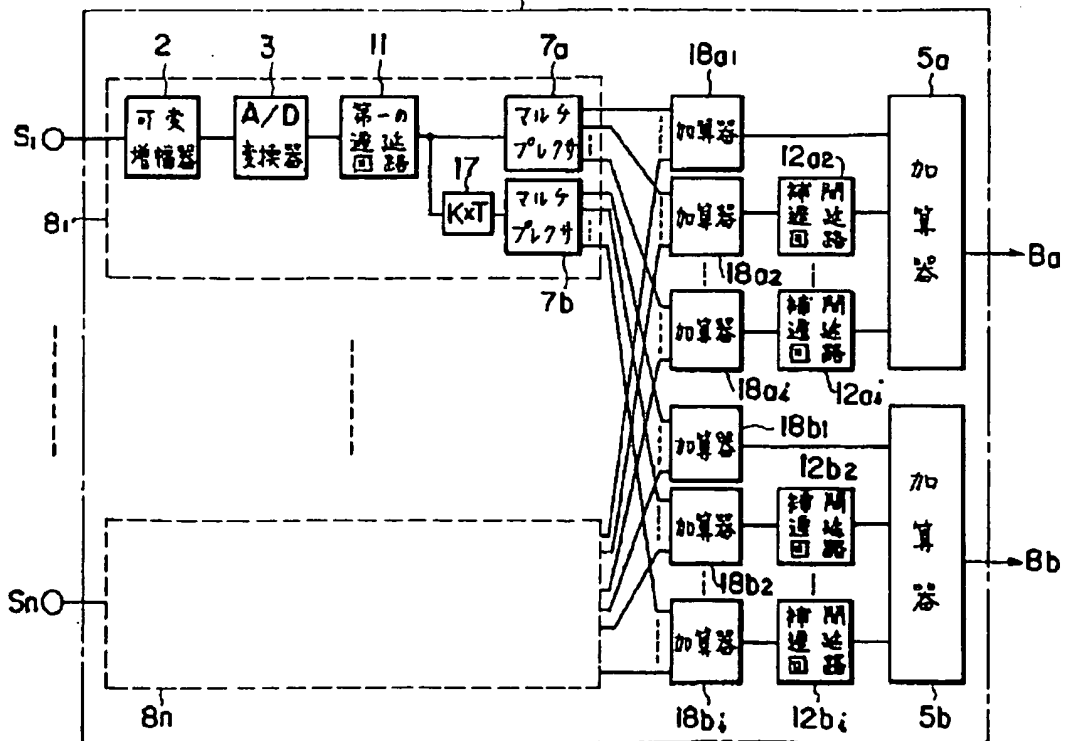


【図3】



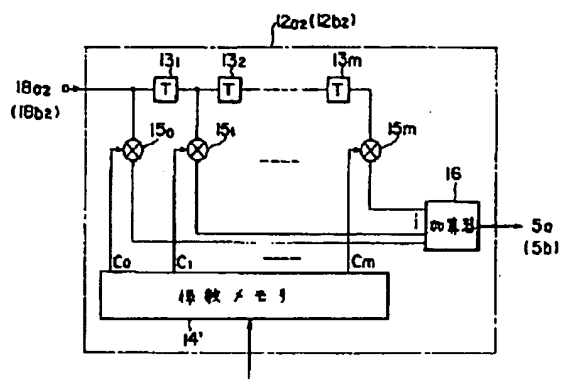
【図4】

10' 受波整相回路

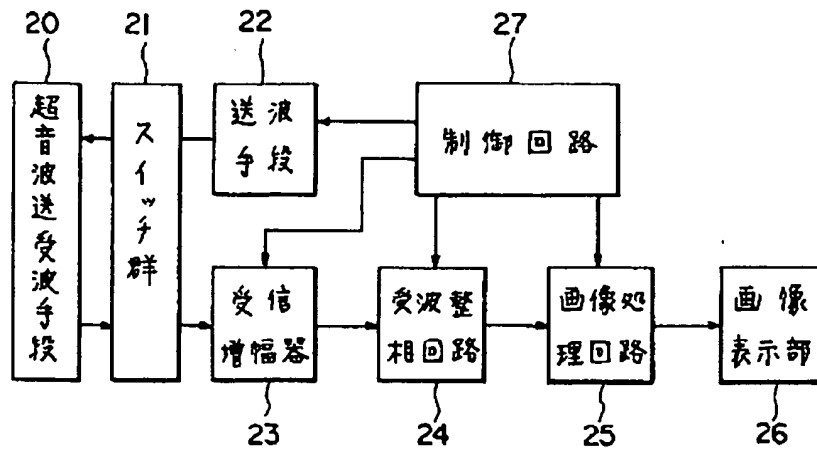




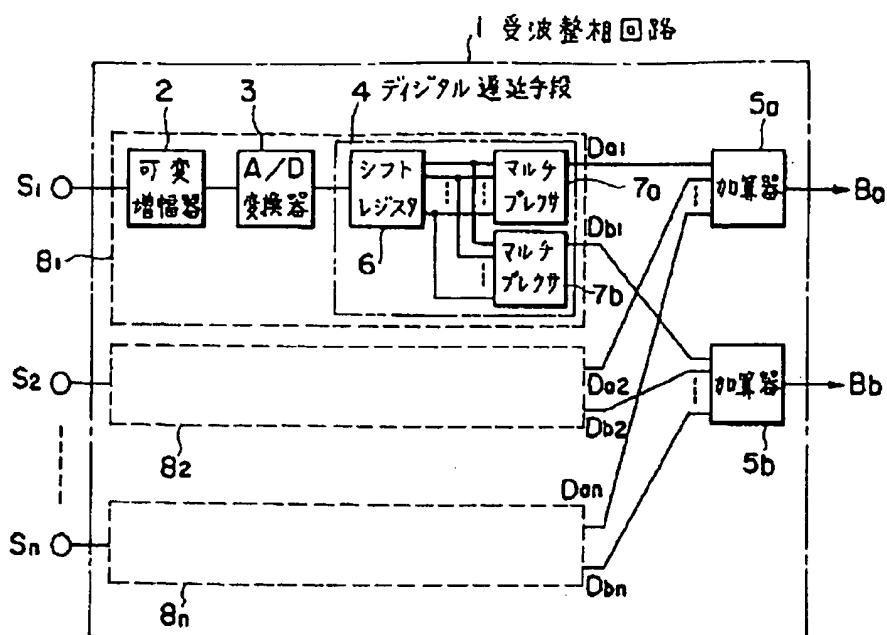
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 篠村 隆一

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所

(72)発明者 三和 祐一

東京都国分寺市東恋ヶ窪1丁目280番地  
株式会社日立製作所中央研究所